

采样系统以及时钟相位噪声和抖动的影响

作者: Brad Brannon

摘要

随着支持直接IF采样的更高分辨率数据转换器的上市, 系统设计师在选择低抖动时钟电路时, 需要在性能/成本之间做出权衡取舍。许多用于标定时钟抖动的传统方法都不适用于数据转换器, 或者最多只能表征部分特性。如果对如何标定和设计时钟电路没有正确的了解, 可能无法使这些新型数据转换器达到最佳性能。要作出明智的时钟选择决定, 仅有简单的抖动指标是远远不够的。而了解时钟噪声的带宽和频谱形状很重要, 以便在采样过程中进行正确的处理。如今, 许多系统设计师在为数据转换器时钟标定相位噪声和抖动要求时都做得不够, 结果导致系统性能下降。几皮秒的时钟抖动可以使信号路径中迅速产生数分贝损耗。有些设计师则走向另一个极端, 他们仅仅因为不清楚时钟噪声对转换器及其产品的性能到底有何影响, 就选择了昂贵的时钟源, 付出高昂的成本。请注意, 最昂贵的时钟发生器并非始终能实现最佳系统性能。本应用笔记将说明与抖动、相位噪声和转换器性能相关的多种折衷考量。只要了解了这些利弊因素, 就可以针对具体应用选择最适用的时钟, 从而以最低的成本获得最佳性能。本文首先解释数据转换器中采样过程的工作原理, 然后结合应用实例对时钟选择过程进行说明。

历史

在ADC应用中, 最常见的一个问题是如何提供编码源。正如多数工程师所知, 若要使所选数据转换器实现最佳性能, 正确选择编码时钟至关重要。随着近年来采样模拟输入频率不断增高, 这一点显得尤为重要。

然而, 由于转换器的位置如今更加靠近这些信号链中的天线, 因此使用这些转换器的工程师们也从“混合信号设计师”变成了“射频设计师”。同样, 设计技术和支持元件也已发生变化, 关注重点也已从时域特性转移到了频率特性。

过去, 编码时钟仅仅是时钟而已。如今, 对于IF和RF采样系统, 编码源更多地被视为本振而非时钟, 本应用笔记将讨论其原因。为此, 许多设计师希望能像使用RF频率合成器一样, 在频域中标定时钟要求。

要找到时钟抖动和相位噪声之间的直接相关关系存在一定困难, 尽管如此, 本应用笔记将从时钟抖动或相位噪声的角度出发, 就编码源的设计和选择提供一些指导意见。目前关于相位噪声与抖动之间的转换关系的文章较多, 对于其中提出的转换过程, 可以利用本应用笔记验证其有效性。

抖动定义

由于数据转换器的主要作用是定期采样并产生模拟信号, 或者基于连续模拟信号产生一系列定期样本, 因此采样时钟的稳定性非常重要。从数据转换器的角度来看, 这方面的不稳定性即称为时钟抖动, 会导致在模拟输入的实际采样时间产生不确定性。虽然有多种方法可以直接测量时钟抖动, 但随着时钟稳定性要求提高、需要测量亚皮秒时序偏差, 就要求使用间接测量方法。请注意, 从转换器的角度来看, 编码带宽可以扩展数百MHz。因此, 在考虑构成数据转换器抖动的噪声的带宽时, 需要考虑从直流至编码带宽的范围, 这远远超过标准时钟抖动测量中常用的12 kHz至20 MHz的典型范围。

由于抖动会降低宽带转换器的噪声性能, 因此, 通过观察转换器噪声性能的下降情况, 即可轻松估算出时钟抖动。抖动引起的SNR边界值可通过以下等式计算:

$$\text{SNR} = -20\log\left(2\pi f_{\text{analog}} t_{\text{jitter,rms}}\right) \text{dB} \quad (1)$$

其中：

f 为模拟输入频率。

t 为抖动。

给定工作频率和SNR要求，可通过以下公式确定时钟抖动要求。

$$t_{\text{jitter}} = \frac{10^{-\frac{\text{SNR}}{20}}}{2\pi f_{\text{analog}}} \quad (2)$$

如果抖动是转换器性能的唯一限制因素，那么若要对一个70 MHz的IF信号进行采样，同时保持75 dB的SNR，就要求时钟抖动仅为400飞秒。

借助FFT技术，可轻松利用数据转换器(尤其是ADC)计算SNR，因此，只需做一个简单的实验，即可确定在使用被测时钟时，随着模拟输入频率的增加，SNR的下降情况。得到的结果为结合编码时钟的抖动加上ADC本身的噪声贡献。从总噪声中减去ADC噪声贡献，即可估算出抖动导致的噪声。求出噪声后，即可算出时间抖动。该计算方法列于ADI网站“应用笔记AN-501”中。

但这种方法存在两点不足。首先，如果在FFT处理过程中用到窗口法，频谱分辨率会因窗口脉冲响应而模糊。其次，对于大多数合理大小的FFT而言，该频谱分辨率非常有限。例如，如果使用的编码速率为61.44 MSPS，且执行64K FFT，则每个FFT频段(bin)代表的带宽约为938 Hz。据此可以预计，多个FFT频段中的时钟噪声会因频谱模糊而丢失，使存在大量相位噪声的基波任一侧丢失数kHz的信息。即使执行的是同步FFT且未使用窗口，仍然至少存在一个FFT频段限制，代表带宽约为1 kHz。从近载波相位噪声的角度来看，大部分能量通常包含在时钟源周围的前几千赫兹的带宽中。因此，使用FFT法来估算抖动时，会丢失大部分时钟噪声。然而，由于目标通常是测量宽带SNR，因此用这种方法来测量ADC的宽带性能一般是可以接受的。

相位噪声定义 噪声类型

采样信号可表示为修正的正弦函数，如等式3所示。该等式显示了一个幅度调制、频率调制和相位调制项。虽然可把采样过程看作时域的乘积和频域的卷积，但采样源往往利用差分比较技术进行硬限幅。如果编码源提供足够的驱动信号来驱动采样开关，从而消除AM至PM的失真问题，

则上述方法可将幅度对采样过程的影响降至最低。实验数据表明，高、低调制电平的AM调制在重要性上均远低于具有类似调制电平的相位项或频率项。另外，在采样过程中，相位噪声和频率噪声影响会造成相似的性能下降，二者之间的唯一差别在于：相位调制与频率调制在调制信号的衍生特性上是相同的[4]，此处高斯噪声的调制衍生特性同样呈高斯分布，从而产生几乎相同的结果[4]。

$$f_{\text{sample}} = A_t \sin((\omega_t t) + \phi_t) \quad (3)$$

该等式显示，幅度、角频率和相位均为时间相关。这种情况可以通过数种方式直观呈现。在时域中，信号严格表现为高斯噪声源。对于单位圆，此问题尤为明显。在单位圆上，编码时钟按统一角速率转动。每次通过零相位时，ADC进行一次新采样。时钟上的噪声将对相应矢量的顶点位置进行调制，从而改变发生过零的位置。如果该噪声使上升沿提前出现，采样过程则会提前启动。同样，如果该噪声恰好在下降沿上，则编码过程将延迟出现。可以看出，噪声矢量可能是幅度、相位和频率导致的结果。

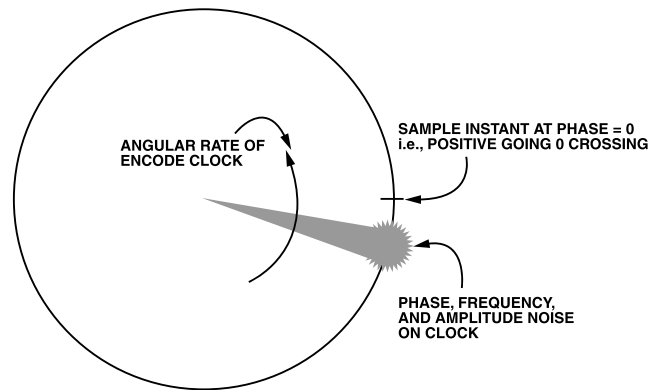


图1.极域中的采样时钟(显示时钟抖动的形状)

观察时钟抖动的另一传统方法是通过频谱进行分析，如图2所示。此图中，大量噪声聚集在时钟信号附近。然而，受抖动影响，频域中的理想脉冲实际上分散分布，呈喇叭形。大量能量分布于理想频率附近，不过也有大量能量包含在宽带宽之中。由于相位噪声往往可能扩展至极高频率，并且由于ADC编码引脚的带宽通常远高于转换器采样速率，因此，这种噪声会对转换器的性能造成影响。

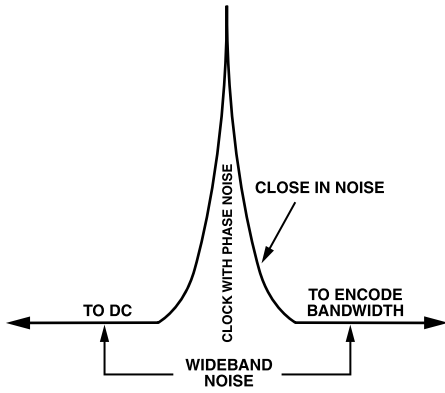


图 2. 频域中的采样时钟(显示时钟抖动的形状)

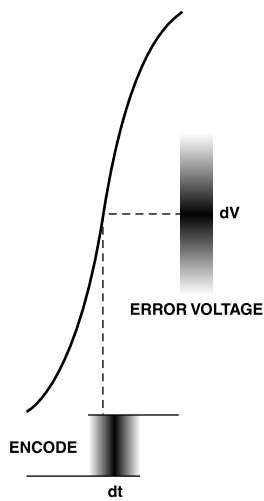


图 3. 时域中的采样时钟(显示时钟抖动的形状)

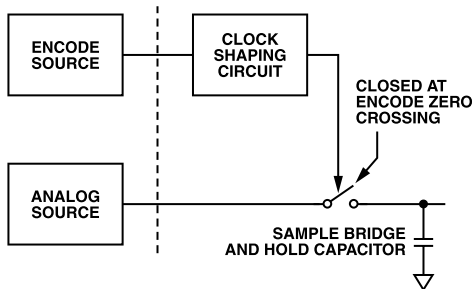


图 4.ADC的典型采样电路

相位/频率调制采样时间的影响

如前所述，采样过程在时域中是一个乘法过程，因此在频域中是一个卷积过程。混频器将时域中的两个模拟信号相乘，其结果为这两个信号在频域中的卷积，这一点非常明显，但采样过程同样为时域中的一个乘法过程，这一点却并不显而易见。

我们来看看采样过程。模拟输入在时间上是连续的，虽然这一点是显而易见的，但采样时钟(尽管可能来源于正弦曲线)最终却是用于在编码信号过零处以等幅、有限持续时间的单位脉冲驱动样桥。该过程的结果是将该单位脉冲与时域中的模拟输入相乘，也即频域中的卷积。

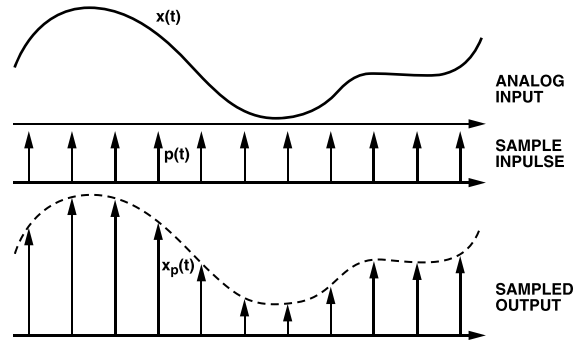


图 5. 模拟输入、采样脉冲和生成的采样输出

在图5中， $x(t)$ 表示连续时间模拟输入波形， $p(t)$ 表示理想采样函数， $x_p(t)$ 表示采样输出。

利用这些项，可将输出采样表示为：

$$x_p(t) = x(t)p(t) \tag{4}$$

其中：

$$p(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT) \tag{5}$$

在频域中，该式可表示为：

$$X_p(w) = \frac{1}{2\pi} [X(w) \times P(w)] \tag{6}$$

由于 $p(t)$ 为时域中的脉冲序列，因此同时也是频域中的脉冲序列，表示为：

$$P(w) = \frac{2\pi}{T} \sum_{k=-\infty}^{+\infty} \delta(w - kw_s) \tag{7}$$

将上式代入前面的等式可得

$$X_p(w) = \frac{1}{T} \sum_{k=-\infty}^{+\infty} X(w - kw_s) \tag{8}$$

等式8显示，采样模拟输入频谱以采样速率 w_s 的整数倍无限重复。

时钟与模拟输入之间的卷积不仅在如上所示的全频谱下有效，从微观上来看也同样有效。这对于集中于时钟周围的频谱细节也同样成立，因为这些细节与集中于模拟信号周围的频谱细节进行卷积。具体而言，时钟周围集中的任何相位噪声都将与模拟输入进行卷积，这会使数字化模拟信号的频谱形状失真。由于很难观察到时钟周围的相位噪声，因此可利用正弦相位调制法来仿真相位噪声离散频率线的影响。

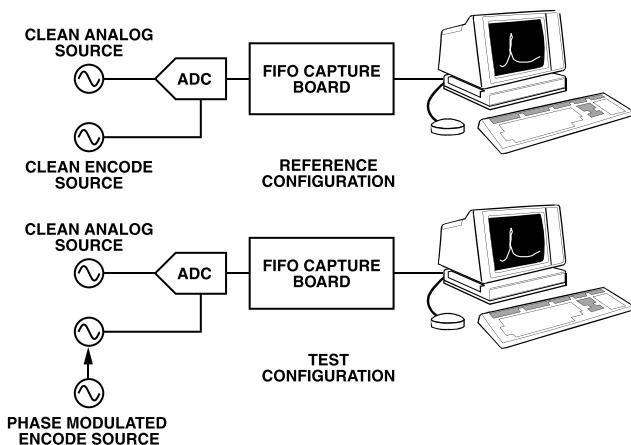


图 6. 各种实验数据采集配置

图7显示了编码源的频谱特性。在此例中，时钟源为一个78 MSPS源，相位为100 kHz，调制偏差为0.001弧度。由于调制角较小，因此在噪底以上仅有第一边带是可见的。相对于编码源的主载波功率，第一边带约为-66 dBc。编码峰峰值电压为2 V时，均方根值为0.707 V rms。基于此，各杂散信号音为0.3543 mV rms。

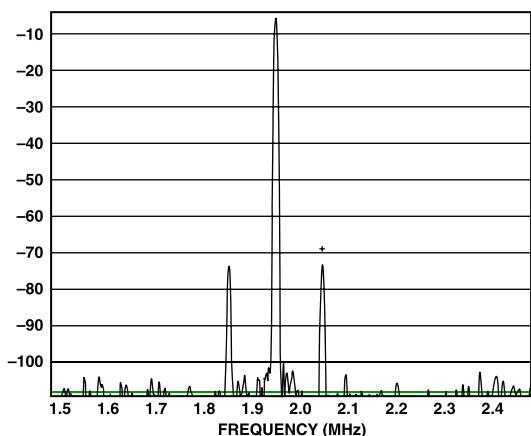


图 7. 相位调制编码源的频谱

在ADC时钟端施加一个PM调制信号，在模拟输入端施加一个纯CW音。通过将PM调制时钟源与纯CW音进行卷积，从而如预期的那样，看到时钟边带复制到模拟信号

上，如图8所示。虽然该图只代表等式8中的一个k项，但k的其他值也可用此图表示。

问题是如何预测相位噪声电平。对于正弦输入，来自ADC的相位噪声项可通过以下等式预测

$$V_{\text{phase_noise_ADCout}} = V_{\text{phase_noise_ADCin}} \times \left[\frac{\frac{d(v_{\text{signal}})}{dt}}{\frac{d(v_{\text{clk}})}{dt}} \right] \quad (9)$$

该等式假定，相位噪声电压为单边带电压且与图7中一个边带的电压相关。对于多数应用，等式9可简化为：

$$V_{\text{phase_noise_ADCout}} = V_{\text{phase_noise_ADCin}} \times \frac{V_{\text{signal}} \times f_{\text{signal}}}{V_{\text{clk}} \times f_{\text{clk}}} \quad (10)$$

简化后的等式适用于图4所示采样系统，并假设编码信号采用正弦形式。如果编码信号为逻辑信号形式，压摆率将与编码信号的频率无关，应根据制造商提供的数据手册进行确定，或者直接进行测量。不论使用哪一等式，如果已知时钟杂散电压和频率以及模拟输入的电压和频率，则可简便地预测出输出杂散电平。另外，信号电压与时钟电压之比以及信号频率和杂散频率都会直接影响到合成的杂散电平。确定信号电压与时钟电压之比后，则可直接预测出给定输入杂散的合成杂散电平。在本例中，时钟电压与信号电压之比为1:1。

在简化的等式中， $V_{\text{phase_noise_ADCin}}$ 为经过相位调制的单边带信号的电平，或者表示时钟信号上的调制相位噪声的单频率线。 V_{clk} 为时钟的均方根电平， V_{signal} 为主模拟信号的均方根电平， f_{clk} 为时钟频率， f_{signal} 为主模拟信号的频率。对等式10略加修改，如等式11所示，可显示与其他外部相关变量和独立变量的各种关系，如模拟信号电平和编码时钟电平等等。

$$\frac{V_{\text{phase_noise_ADCout}}}{V_{\text{signal}}} = \frac{V_{\text{phase_noise_ADCin}}}{V_{\text{clk}}} \times \frac{f_{\text{signal}}}{f_{\text{clk}}} \quad (11)$$

由于许多时钟设计师采用的单位为dBc，因此可将等式11转换成对数形式，即可轻松算出所需或预期的相位噪声性能。在该等式中，第一项(NoiseADCout)为合成噪声，单位为dBc，其中，基准源为主输出信号电平（即结果以dBc为单位）。第二项(NoiseCLKin)为时钟中相对于主时钟电平的噪声（单位为dBc），代表给定偏移下的噪声或信号能量。第三项是模拟输入频率与采样速率的对数比率。

$$\text{Noise}_{\text{ADCout}} = \text{Noise}_{\text{CLKin}} + 20\log\left(\frac{f_{\text{signal}}}{f_{\text{clk}}}\right) \quad (12)$$

在等式12中，时钟（前面的频谱坐标图）的谱线为-66 dBc。这就是用于NoiseCLKin的值。为了确定相对输出，必须弄清模拟频率和编码频率之间的关系。在以下各例中，模拟频率分别设为30.62 MHz和108.62 MHz。因此，输出频谱上的杂散电平可用等式12计算。

$$-66 \text{ dBc} + 20\log\left(\frac{30.62 \text{ MHz}}{78 \text{ MHz}}\right) = \text{Noise}_{\text{ADCout}} = -74.1 \text{ dBc} \quad (13)$$

并且

$$-66 \text{ dBc} + 20\log\left(\frac{108.62 \text{ MHz}}{78 \text{ MHz}}\right) = \text{Noise}_{\text{ADCout}} = -63.1 \text{ dBc} \quad (14)$$

如图8所示，结果与前面等式的预测值完全一样。可见，该等式可有效预测转换器对既定模拟和编码激励的响应方式。

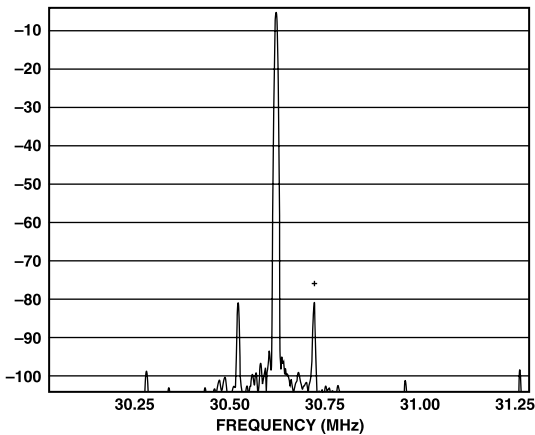


图 7.相位调制编码源的频谱

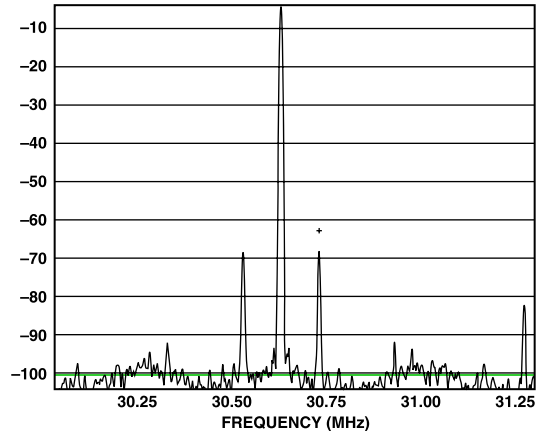


图 9.通过电平为-63 dBc的相位调制编码结果进行采样的108.62 MHz CW音

图9中值得注意的是，两个测量值之间存在性能下降。如果只比较SNR(以侧音为主)或杂散，则随着频率的增加，抖动会如预期般导致性能下降。可以预计，输入频率每增加一倍(模拟输入压摆率增加一倍)，则抖动导致的能量会增加6 dB。在本例中，从30.62 MHz变为108.62 MHz，比率为3.55，可以有效地表示 $6 \times \log_2(108.62/30.62)$ 或10.9 dB的噪声增加量。在这两种测量之间，杂散电平从-74 dBc变成-63 dBc，即增大11 dB，与预期的完全一样。

显然，不仅时钟的宽带噪声非常重要(正如以前的应用笔记所述)，近载波噪声也同样重要，它与宽带噪声有着相同特性，但两者的总体影响略有差异。信道带宽之外的噪声或多或少都会均匀地加大整体噪声，而近载波噪声会导致相互混频，且只影响邻近信号。

在本例中，可以在时钟周围定义两个区。第一区始于时钟的中心频率，终于目标信道带宽的二分之一处，——在两个方向上均是如此。(该区有时可能包含整个奈奎斯特频带，有时又略小于奈奎斯特频带，具体取决于终端应用。)第二区始于距离时钟二分之一目标信道带宽处，终于编码逻辑的带宽处(包括内部受限和外部受限，通常受变压器等器件限制)——一个方向为数据转换器，另一方向为直流。多数情况下，编码电路的带宽会扩展到数百MHz，对于高动态范围转换器甚至可能扩展到GHz范围。编码电路传递的频谱即是在采样过程中与目标模拟输入进行卷积的频谱。

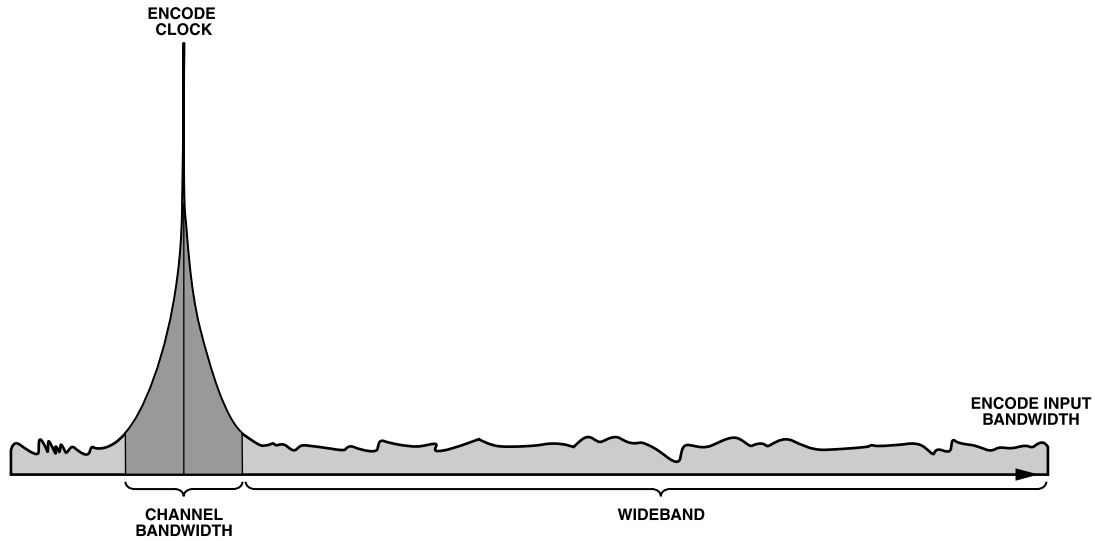


图 10. 编码时钟的典型频谱，表示从直流到ADC编码输入的带宽，通常 >750 MHz。此图未按比例绘制。

应该明确的是，编码信号与目标模拟输入进行卷积，导致时钟的频谱形状出现在模拟信号上，如图10所示。然而由于该ADC是采样系统，采样时钟的宽带噪声也会混叠到目标频带中，这样就使进入编码端的所有宽带噪声都混叠到奈奎斯特频带中，这会导致严重的噪声积聚并使SNR显著降低。

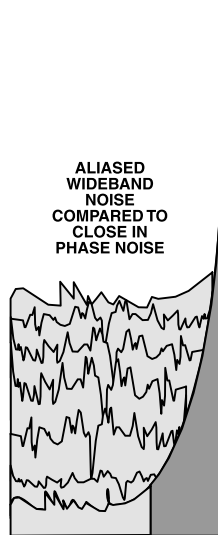


图 11. 编码时钟在采样后的典型频谱。编码带宽(750 MHz)混叠到奈奎斯特频带中。

如图11所示，所有宽带噪声都混叠于奈奎斯特频谱中，造成能量积聚并有可能增大到超过近载波相位噪声中的功率。事实上，如果编码带宽为750MHz，则对于61.44 MSPS

的时钟，来自该带宽的噪声会混叠24次以上。其结果是，宽带抖动导致的噪声频谱密度增加了将近14 dB(在低模拟频率下，量化噪声和热噪声对NSD起决定作用)。相比之下，近载波噪声(指目标信号的带宽)显然不能混叠，因此只会发生一次作用。这一现象对于具体实施工作的影响在于，尽管较快的压摆沿对精确放置时钟沿至关重要，但限制时钟的宽带噪声量对充分发挥转换器性能也同样重要，因此两者之间的权衡取舍往往十分微妙。

对于存在抖动问题的IF采样系统，可通过以下等式求出仅考虑抖动的SNR边界值

$$SNR_{FS} = -20 \log(2\pi f_{\text{analog}} t_{\text{jitter,rms}}) \quad (15)$$

其中：

f为模拟输入频率。

t为抖动。

求出该等式中t的值，可将等式变为以下形式，在给定SNR要求时，即可求得时钟抖动要求。

$$\frac{10^{-\frac{SNR_{FS}}{20}}}{2\pi f_{\text{analog}}} = t_{\text{jitter,rms}} \quad (16)$$

然而，对于许多应用来说，仅凭抖动还不足以标定时钟源的性能。一般而言，最好在中心频率的给定偏移下使用频谱密度来表示时钟相位噪声，就如过去在PLL和VCO电路中所做的那样。

需要考虑两类相位噪声。最常见的近载波噪声是 $1/f$ 噪声。这是最接近时钟中心频率的噪声，随着偏移频率的增加，这种噪声会快速衰减。如前所述，ADC采样的卷积过程只是将该效应映射到输出端，因此就目标信号的相位误差以及相邻信道和相间信道对目标信道的相互混频效应而言， $1/f$ 时钟噪声具有重要作用。如前所示， $1/f$ 噪声一旦达到噪底，关注的焦点就变为落在频带内的宽带热噪声上。如果 $1/f$ 噪声充分符合相互混频要求，则关注的焦点可能是宽带热噪声。

在本节中，我们假定采样过程的噪声限制仅针对时钟的宽带噪声(而 $1/f$ 噪声将另行讨论)，在此基础上，可以确定时钟源的宽带限制有哪些，并将其与传统的时钟抖动方程对应起来。

为了确定编码时钟的宽带频谱密度，必须首先确定目标输出频谱密度。

$$ADC_{\text{spectral density}} = -SNR_{FS} - 10\log_{10}\left(\frac{\text{samplerate}}{2}\right) \quad (17)$$

将传统的抖动计算方程代入SNR等式，就能直接计算与抖动相关的频谱噪声密度。

$$ADC_{\text{spectral density}} = 20\log_{10}(2\pi f_{\text{analog}} t_{\text{jitter,rms}}) - 10\log_{10}\left(\frac{\text{samplerate}}{2}\right) \quad (18)$$

由于此为宽带，所以对于从 $1/f$ 噪声与噪底相交的那一点到奈奎斯特速率(或低端的直流)的偏移频率都是有效的。由于高性能转换器的编码带宽位于500 MHz和1000 MHz之间，编码输入上的噪声将多次混叠回到奈奎斯特频带中。因此，要确定实际时钟频谱密度，必须估算噪声的未混叠频谱密度。由于该噪声假定具有高斯和非相干的特点，可以求出近似值，需要记住的是，频谱每增加一倍，噪声也会增加一倍(频谱减半，噪声也随之减半)。

可通过以下等式进行估算：

$$\begin{aligned} \text{Clock}_{\text{spectral density}} &= 20\log_{10}(2\pi f_{\text{analog}} t_{\text{jitter,rms}}) \\ &- 10\log_{10}\left(\frac{\text{samplerate}}{2}\right) \\ &- 3\log_2\left(\frac{\text{clock bandwidth}}{\text{samplerate}}\right) - 20\log\left(\frac{f_{\text{analog}}}{f_{\text{samplerate}}}\right) \end{aligned} \quad (19)$$

利用该等式，可以确定时钟的目标宽带频谱密度。需要注意的是，基于ADC的窄带单音输入得到的结果是有效的。与其他波形的关系不在本文讨论范围之内，对于带宽受限的模拟输入来说，窄带正弦波几乎始终都是最恶劣情况，在分析中非常有用。另一方面，CDMA2000和WCDMA等扩频信号的情况要好得多，其性能通常远优于窄带源。

如前所示，等式19可用于确定目标抖动所需的频谱密度。因此，如果给定IF频率和抖动指标，则可轻松确定时钟频谱密度的近似值。例如，如果IF频率为108.62 MHz，抖动为0.2 ps，采样速率为61.44 MSPS，时钟带宽为350 MHz(受变压器耦合限制)，则时钟噪声频谱密度为：

$$\begin{aligned} \text{Clock}_{\text{spectral density}} &= 20\log_{10}(2\pi \times 108.62 \text{ MHz} \times 200 f_s) \\ &- 10\log_{10}\left(\frac{61.44 \text{ MHz}}{2 \times 1 \text{ Hz}}\right) \\ &- 3\log_2\left(\frac{350 \text{ MHz}}{61.44 \text{ MHz} / 2}\right) \\ &- 20\log\left(\frac{108.62 \text{ MHz}}{61.44 \text{ MHz}}\right) \end{aligned} \quad (20)$$

求出的NSD值为-167.7 dBc/Hz。判断噪声抖动在热噪声和量化噪声以外的噪声贡献是非常难的。现实中，多数情况下，时间抖动是高频下的主要噪声贡献因素。这种情况下，NSD会稍高。快速查阅典型数据手册即可发现，在这些模拟频率下，受抖动影响的SNR接近73 dBFS。因此，此类时钟的NSD预计值在大约350 MHz的范围内平均值接近-168 dBc/Hz，表明越接近时钟频率，NSD越高，越接近极值，NSD越低。

该等式的另一种功能是求解时钟抖动。因此，给定目标时钟噪声频谱密度和所有其他项，则可以估算目标时钟抖动。该等式为

$$t_{\text{jitter}_{\text{rms}}} = \frac{10^{\left(\frac{\text{Clock}_{\text{spectral density}} + 10 \log_{10} \left(\frac{\text{samplerate}}{2} \right) + 3 \log \left(\frac{\text{clock bandwidth}}{\text{samplerate}/2} \right) + 20 \log \left(\frac{f_{\text{analog}}}{f_{\text{samplerate}}} \right)}{20} \right)}{20\pi f_{\text{analog}}} \quad (21)$$

相位噪声和抖动

由于相位噪声与抖动之间存在直接关系，因此可将其相互关联起来。使用数据转换器时，一般认为宽带噪声是最重要的指标。下图显示了一个典型晶体时钟振荡器的宽带噪声特性。请注意，该计算方式忽略了近载波噪声(1/fⁿ)。尽管这些数值在整个系统中具有重要地位，但在衡量ADC噪声性能上却并不那么重要(但对EVM和相互混频特别重要)。

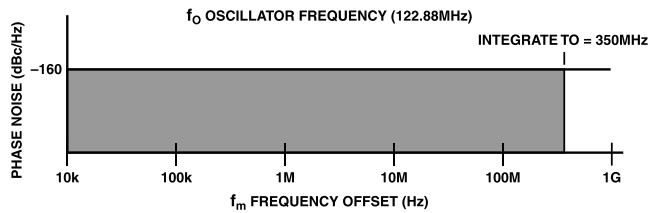


图 12.

为了确定抖动，第一步是求出总噪声功率，方法是在整个带宽(本例为 10 kHz 频率偏移到 350 MHz)内对噪声求积分。由于 10 kHz 远低于 350 MHz，因此 10 kHz 这一下限对宽带白噪声的计算结果几乎没有影响。对数域中的积分就是简单的加法运算。因此，总噪声功率为

$$\begin{aligned} \text{noise}_{\text{integrated}} &= -160 \text{ dBc} / \text{Hz} + \\ 10 \log [350 \times 10^6 - 10 \times 10^3] &= -74.56 \text{ dBc} \end{aligned} \quad (22)$$

下一个目的是确定调制角。为此，必须根据观测到的相位噪声功率进行计算。由于调制相量与主载波呈 90 度角，因此，通过确定相对于主信号电压的噪声电压，即可推断出由此形成的小角。由于假定调制角较小，角度值约等于由两个可测量（即载波电压和噪声电压）所决定的斜率。由于得到的测量值是功率值，因此必须转换成伏特值，具体方法是将功率乘以阻抗，然后取平方根。

由于我们需要的是同一负载上的两个功率之比，因此阻抗会根据等式而下降。同样，由于功率单位为 dBc，而主信号为我们的基准信号，不难看出，剩下的项只是所测相位噪声的项，必须从 dBc 转换成功率单位。取结果的平方根可得到如下例所示的角度。由于相位噪声通常出现在时钟的两端，因此必须将通常使用的单边带数值增加一倍，以包含另一边带中的噪声。以下面等式中平方根符下的项乘以 2 来实现这个要求(假设边带与宽带噪声不具相关性)。

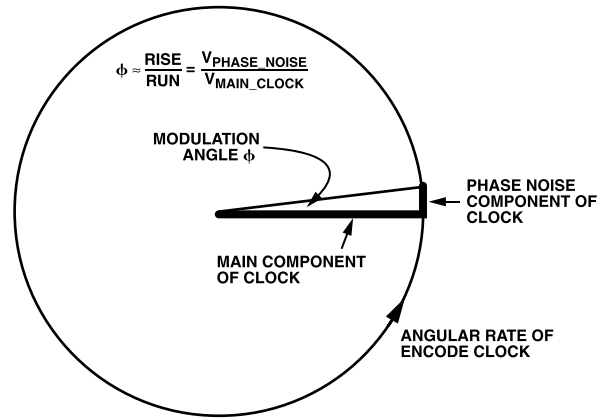


图 13

由于这属于旋转矢量，因此需要用以弧度表示的相位抖动除以角频率 $2\pi f_{\text{clk}}$ ，以确定回转通过相角所需时间。计算结果为均方根抖动。

$$\begin{aligned} \text{phase_jitter}_{\text{rms}} &= \sqrt{2 \times 10^{\text{noise}_{\text{integrated}}/10}} = \\ \sqrt{2 \times 10^{-74.56/10}} &= 2.655 \times 10^{-4} \text{ radians} \end{aligned} \quad (23)$$

有了这一基本了解，我们接下来考虑更复杂的例子，也就是将曲线的不同区域独立求积分，然后相加求出总的抖动结果。

$$\begin{aligned} \text{time_jitter}_{\text{rms}} &= \frac{\text{phase_jitter}_{\text{rms}}}{2\pi f_{\text{clk}}} = \\ \frac{2.655 \times 10^{-4}}{2\pi 122.88 \times 10^6} &= 0.343 \text{ ps} \end{aligned} \quad (24)$$

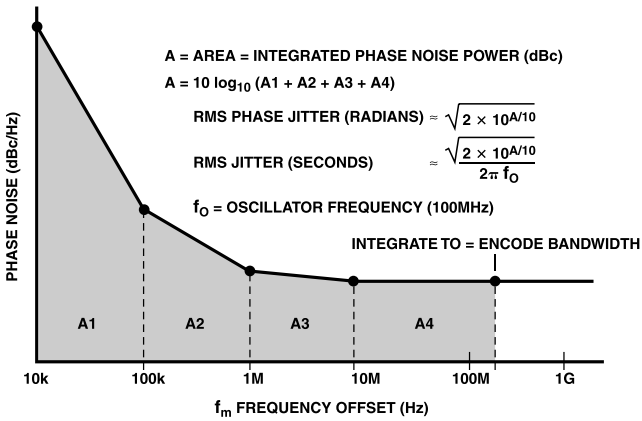


图 14.

在此例中，在曲线上定义了四个点(即三个区)。要确定任一区域的面积，可利用梯形面积法则算出“平均”噪声密度；具体而言，平均噪声功率位于两个拐角频率之间的中点上。借助Leeson方程来预测曲线下的面积，可在1/f区获得更好的精度，但对一阶运算来说，这种方法在精度上足够满足要求。例如，在100 Hz和1000 Hz之间的区，两个拐

角频率分别为-120 dBc/Hz和-150 dBc/Hz，其中点为-135 dBc/Hz。将该值作为高度项，频率区间为900 Hz，则该区域的噪声为

$$\text{noise}_{\text{integrated}} = \left(\frac{-120 - 150}{2} \right) \text{dBc} / \text{Hz} + 10 \log[1000 - 100] = -105.46 \text{ dBc} \quad (25)$$

利用前面的等式，将结果先转换成相位抖动，然后转换成时间抖动，结果得到第一区的抖动，约10飞秒。其他区可采用同一方法。结果为193飞秒。

如上所示，虽然可以通过宽带SNR和噪声频谱密度来确定宽带抖动，但近载波噪声却有所不同。近载波相位噪声(即1/fn)最好通过相互混频计算。当强信号出现在目标弱信号附近时，即会发生相互混频现象。如果时钟(或本振)相位噪声与干扰信号混合，会增加目标信号的噪底。如果相位噪声足够大，则可能其功率超过目标弱信号，并导致信号损耗，如图16a和图16b所示。

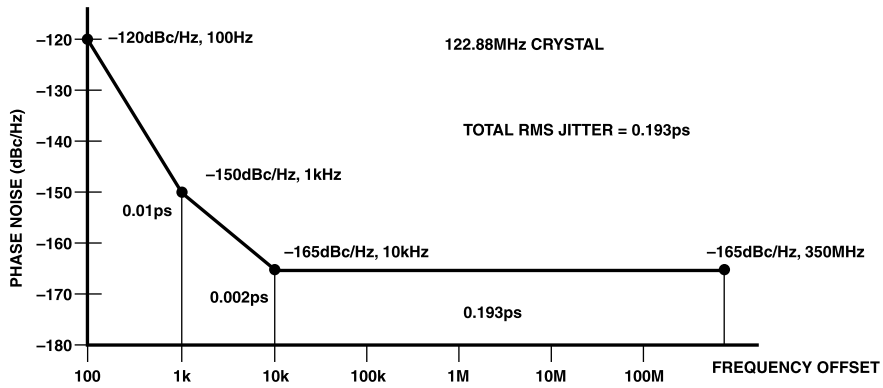
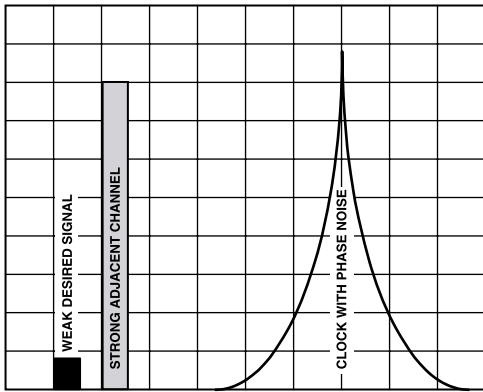
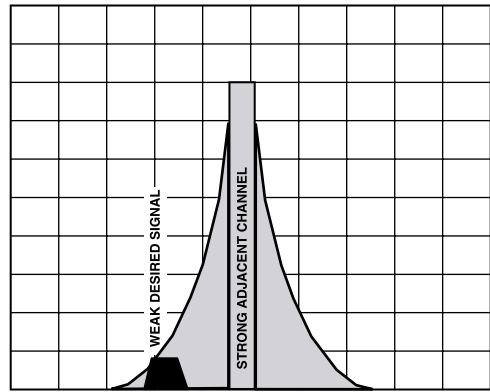


图 15.



RELATIVE SPECTRUM OF ANALOG AND SAMPLING SIGNALS

图 16. a



RELATIVE EFFECTS OF SAMPLE CLOCK ON ANALOG SIGNAL.
RECIPROCAL IS ALSO TRUE

图 16. b

图16a显示了相关信号的相对频谱密度。注意时钟信号的喇叭状。当用该时钟来采样模拟输入时，该喇叭形会卷积到正在转换的所有模拟信号上。卷积的结果就是所有信号均具有这一普遍的形状。如图所示，附近的强信号此时在功率上超过弱的目标信号，因此无法进一步处理信号。

由于应用系统要求各异，因而无法确定近载波相位噪声的一般要求。然而，一旦确定了典型信号的间距和电平标准，则可以确定相位噪声要求。

例如，根据GSM规范05.05的要求，可以估算出以下指标。这些指标是按照最低敏感度得来的，满足4 dB的总噪声系数，并要求时钟源的天线参考相位噪声比有效噪声频谱密度低6 dB。需要注意，在许多情况下，典型接收机的参考

敏感度都远远好于要求的最低值。另外，在多数情况下，采样(或混频)前实现的选择性会逐dB地降低这一要求。

来自相邻信道的相位噪声

通过类似方法可以确定CDMA2000的要求。由于CDMA 2000是一种宽带标准，因此假定相位噪声的频谱密度在最近的拐角频率处满足条件，并在信道的整个带宽内逐步改善。选择这些假设可避免信道任一部分受到干扰，从而避免分布式通信信道的作用受到影响。因此，本例假定相位噪声导致的噪声等于最近拐角频率处的kT/Hz噪声(-174 dBm/Hz)。

表 I.来自相邻信道的相位噪声

GSM/05.05(宽带应用)	偏移	性能*
第一邻道 +9 dBc	100 kHz至300 kHz	~ -101 dBc/Hz
第二邻道 +41 dBc	300 kHz至500 kHz	~ -133 dBc/Hz
600 kHz 带阻 -26 dBm	500 kHz至700 kHz	~ -151 dBc/Hz
800 kHz 带阻 -16 dBm	700 kHz至2.9 MHz	~ -161 dBc/Hz
3 MHz 带阻 -13 dBm	2.9 MHz至频带边缘	~ -164 dBc/Hz

* 该数值假设相位噪声导致的噪声比整个接收器的热噪声低6 dB。典型噪声系数为4 dB，因此以天线为参考的总体热噪声为-170 dBm/Hz，等效相位噪声比此值低6 dB，即-176 dBm/Hz。

表 II.

CDMA2000规格	偏移	性能*
+50 dBc@750 kHz	125 kHz	~ -107 dBc/Hz
+87 dBc@900 kHz偏移	275 kHz	~ -144 dBc/Hz

* Allows the noise due to phase noise to equal kT noise for the stated reference sensitivities.

参考文献

Bowick. 1995. RF Circuit Design. Sams.

Brannon, Brad. 2000. "Aperture Uncertainty and ADC System Performance." Applications Note AN-501. Analog Devices, Inc. (September).

Curtin, Mike and Paul O'Brien. 1999. "Phase-Locked Loops for High-Frequency Receivers and Transmitters—Part 2." Analog Dialogue, Volume 33, Number 5.

Kester, Walt, ed. 2004. Analog-Digital Conversion. Analog Devices, Inc.

Murden, Frank. "Effects of Clock Phase Noise on ADC SNR," Unpublished.

Oppenheimer, Willsky, and Young. 1983. Signals and Systems. Prentice-Hall.

Smith, Paul. 2004. "Little Known Characteristics of Phase Noise." Application Note AN-741. Analog Devices, Inc. (August).

